

FIELD-EFFECT TRANSISTOR

Patent Number: JP6310535
Publication date: 1994-11-04
Inventor(s): NAKAJIMA SHIGERU; others: 04
Applicant(s): SUMITOMO ELECTRIC IND LTD
Requested Patent: JP6310535
Application Number: JP19940019488 19940216
Priority Number(s):
IPC Classification: H01L21/338; H01L29/812
EC Classification:
Equivalents: JP3304343B2

Abstract

PURPOSE:To provide a FET of high mobility of channel electron and high saturation electron velocity.
CONSTITUTION:An undoped buffer layer 12, a high concentration channel layer 13 and an undoped cap layer 14 are formed on a semi-insulating GaAs semiconductor substrate 11. An n<+> type drain region 15 and a source region 16 are formed by selective ion implantation. A gate electrode 17, a drain electrode 18 and a source electrode 19 are formed thereafter. Since the channel layer 13 is formed by raising a supply amount of SiH₄ gas gradually, impurity concentration thereof lowers as it is far from a substrate surface.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-310535

(43) 公開日 平成6年(1994)11月4日

| | | | | |
|--------------------------|------|---------|----------------|--------|
| (51) IntCl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 21/338 29/812 | | 7376-4M | H 0 1 L 29/ 80 | B |

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平6-19488

(22) 出願日 平成6年(1994)2月16日

(31) 優先権主張番号 特願平5-38287

(32) 優先日 平5(1993)2月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 中島 成

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72) 発明者 松崎 賢一郎

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72) 発明者 桑田 展周

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(74) 代理人 弁理士 長谷川 芳樹 (外4名)

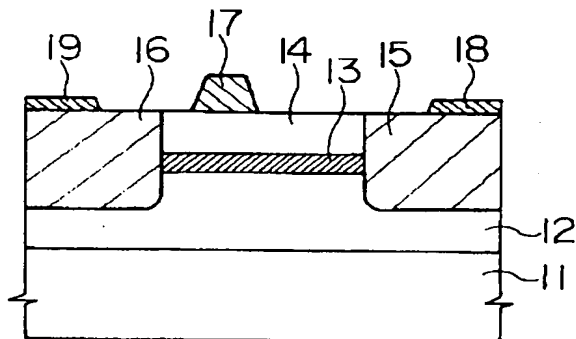
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【目的】 チャネル電子の移動度が高く、飽和電子速度の高いFETを提供する。

【構成】 半絶縁性GaAs半導体基板11上にアンドープのバッファ層12、高濃度のチャネル層13、アンドープのキャップ層14が形成される。次に、選択イオン注入によりn⁺型のドレイン領域15およびソース領域16が形成される。次に、ゲート電極17、ドレイン電極18およびソース電極19が形成される。チャネル層13はS i H₄ガスの供給量が徐々に高められて形成されるため、その不純物濃度は基板表面から離れるに従って低くなっている。



【特許請求の範囲】

【請求項1】 不純物を高濃度に含んで薄層化された半導体層をチャンネル層とする電界効果トランジスタにおいて、

前記チャンネル層は、基板表面から基板深部に向かって不純物濃度が低く形成されていることを特徴とする電界効果トランジスタ。

【請求項2】 前記チャンネル層の不純物プロファイルは、原点から離れるのに従って基板表面からの深さが深くなる深さを横軸に目盛り、原点から離れるのに従って不純物濃度が高くなる不純物濃度を縦軸に目盛ったグラフにおいて、そのプロファイル線で描かれる図形の重心を通る垂線から見て、前記不純物濃度の最大値が左側に位置し、前記プロファイル線はこの垂線で右下がりに傾斜していることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】 前記チャンネル層の不純物プロファイルは、原点から離れるのに従って基板表面からの深さが深くなる深さを横軸に目盛り、原点から離れるのに従って不純物濃度が高くなる不純物濃度を縦軸に目盛ったグラフにおいて、前記不純物濃度の最大値の50%の不純物濃度ラインとそのプロファイル線とが交差して得られる2つの交点を結ぶ線分を二分する垂線で、そのプロファイル線が右下がりに傾斜していることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項4】 半導体基板と、この半導体基板上に形成されたアンドープのパッファ層と、基板表面から基板深部に向かって不純物濃度が低く形成された前記チャンネル層と、このチャンネル層上に形成されたキャップ層と、このキャップ層にショットキ接触して形成されたゲート電極と、このゲート電極の両側において高濃度に不純物が添加されて前記チャンネル層に接触して形成されたソース領域およびドレイン領域と、このソース領域およびドレイン領域にそれぞれオーミック接触して形成されたソース電極およびドレイン電極とを備えて形成されたことを特徴とする請求項1記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、超高速動作をする電界効果トランジスタ(FET)の構造に関するものである。

【0002】

【従来の技術】従来、超高速動作を実現するFETとして、電流チャンネルが形成される活性層をいわゆるバルスドープ構造にしたものがある。このバルスドープ構造のFETにおいては、活性層の不純物プロファイルは基板表面から所定の深さまではアンドープ状態になっている。しかし、基板表面から所定の深さに達すると不純物濃度はバルス状もしくはステップ状に変化して高濃度になり、一定の深さまでは一定の高い不純物濃度に保たれ

ている。さらに、これより深い基板位置では再びアンドープ状態に戻る。このようなバルスドープ構造FETとしては、例えば、米国特許4163984号公報や次の文献の759頁に示されている。

【0003】1986 IEEE IEDM 「A 760mS/mm N+SELF-ALIGNED ENHANCEMENT MODE DOPED-CHANNEL MIS-LIKE FET (DMT)」

【0004】

【発明が解決しようとする課題】しかしながら、上記従来のバルスドープ構造FETの動作時において、次のような問題が生じた。

【0005】つまり、図10(a)に示すように、ゲート電極1下に生成されるチャンネル空乏層2は、ゲート電極1へのバイアスの増加に伴い、不純物がバルスドープされた上述した活性層3に延びる。この活性層3に形成される電流チャンネルがまさに閉じられようとするピンチオフ近傍では、キャリアとなる電子の大部分はチャンネル空乏層2に追いやられて同図の矢印に示すように活性層の底部を走行する。また、ゲートバイアスが弱められ、チャンネル空乏層2の基板深部への延びが引いてチャンネルが開いた同図(b)に示す状態においても、ドレイン・ソース間に印加される電界が高い場合には、キャリアは高エネルギーを得て同図の矢印に示すように活性層3の底の方を走行しがちである。

【0006】従って、いずれの場合においても、キャリアは不純物が高濃度にドープされた活性層3の底部を走行することになる。このため、電子は不純物散乱の影響を受けてその移動度が低下し、また、電子飽和速度も低下した。この結果、素子の高周波動作特性は十分に向上されなかった。また、ゲート電圧の変化に対するドレイン電流の変化量を表すFETの相互コンダクタンス g_m は、一定のゲート電圧変化にわたって一定値を保持することができなかった。

【0007】

【課題を解決するための手段】本発明はこのような課題を解消するためになされたもので、不純物を高濃度に含んで薄層化された半導体層をチャンネル層とするFETにおいて、上記チャンネル層は、基板表面から基板深部に向かって不純物濃度が低く形成されていることを特徴とするものである。

【0008】

【作用】キャリアが走行しやすいチャンネル層の底部においては不純物濃度が低いため、キャリアが受ける不純物散乱の影響は低減される。

【0009】

【実施例】図1は本発明の一実施例によるFETの構造を示す断面図であり、このFETは以下のように製造される。

【0010】半絶縁性GaAs半導体基板11上に、OMVPE(有機金属気相エピタキシャル)法といった結

3

晶成長技術を用いてアンドープのGaAsバッファ層12が結晶成長される。このバッファ層12の形成時にはIII族元素であるGaとV族元素であるAsの各原料の供給比が制御され、バッファ層12のバックグラウンド導電性がp⁻型に設定される。本実施例では、その不純物濃度は $5 \times 10^{15} [\text{cm}^{-3}]$ 以下の極めて低濃度に設定されるが、 $5 \times 10^{16} [\text{cm}^{-3}]$ 以下の不純物濃度であればよい。引き続いて、このバッファ層12上にSiドープGaAsが結晶成長され、チャンネル層13が50~500Åの厚さに形成される。このチャンネル層13の結晶成長時にSiH₄ガスが供給原料に混合されることにより、チャンネル層13にn型のSi不純物がドープされる。また、このSiH₄ガスの混合比は徐々に高められ、SiH₄ガスの供給量が徐々に増大するため、チャンネル層13に含まれるSi不純物の濃度は基板深部から基板表面に向かって徐々に高まる。次に、このチャンネル層13の形成後、チャンネル層13上にアンドープGaAsが結晶成長され、バックグラウンド導電性がn⁻型のキャップ層14が形成される。このキャップ層14は300~800Åの厚さに形成され、その不純物濃度はバッファ層12と同程度に極めて低く設定される。

【0011】次に、リソグラフィ技術を用いてソース・ドレイン領域パターンが基板表面に形成され、このパターンをマスクとして高濃度のSiイオンが選択的にイオン注入される。この選択イオン注入により、n⁺型のドレイン領域15およびソース領域16が形成される。その後、蒸着技術、リソグラフィ技術およびエッチング技術等を用いてキャップ層14にショットキ接触したゲート電極17が形成される。このゲート電極17は後述するドレイン電極18から遠ざけられた位置に形成される。最後に、同様な蒸着技術やリソグラフィ技術等が用いられ、ドレイン領域15およびソース領域16にオーミック接触したドレイン電極18およびソース電極19が形成される。この電極形成により、図1に示される構造のショットキ接触型FET(MESFET)が完成される。

【0012】このような本実施例におけるゲート電極17下部の不純物プロファイルは図2のグラフに示す構成になっている。同グラフの横軸は基板表面からの深さd[μm]を示し、縦軸はn型Si不純物の濃度N₀[cm⁻³]を示す。パルス状に不純物濃度が高くなっている部分はチャンネル層13に相当するプロファイルである。このチャンネル層13の形成時には、上述のようにSiH₄ガスの流量が徐々に高められるため、チャンネル層13の最も基板深部の不純物濃度N₁は $1 \times 10^{17} [\text{cm}^{-3}]$ と低く、最も基板表面側の不純物濃度N₂は $5 \times 10^{18} [\text{cm}^{-3}]$ と高くなっている。

【0013】従って、本実施例によるFETにおいては、チャンネル層13のSi不純物濃度は基板表面から離れるにつれて上記のように低くなっており、キャリアが

4

走行しやすいチャンネル層13の底部においては不純物濃度が低い。このため、キャリアがチャンネル走行時に受ける不純物散乱の影響は低減される。すなわち、ゲート電極17下に生成されるチャンネル空乏層が活性層3に延び、電流チャンネルがまさに閉じられようとするピンチオフ近傍で、チャンネル電子の大部分がチャンネル層13の底部を走行しても、このチャンネル層13の底部の不純物濃度は上述のように低濃度に形成されているため、チャンネル電子が不純物散乱を受ける影響は小さい。また、ゲートバイアスが弱められてチャンネルが開いた状態において、チャンネル電子がドレイン・ソース間の高電界によって高エネルギーを得、ゲート電極17からの電界の影響によってチャンネル層13の底の方を走行しても、この底部の不純物濃度は低濃度であるため、やはり、チャンネル電子が不純物散乱を受ける影響は小さい。従って、いずれの場合においても、チャンネル電子は低濃度に形成されたチャンネル層13の底部を走行することになり、チャンネル電子は不純物散乱の影響を受け難くなる。従って、チャンネル電子の移動度は高まり、また、電子飽和速度も高まる。この結果、相互コンダクタンスg_mは増加し、FETの遮断周波数f_tは高くなって素子の高周波動作特性は向上される。また、FETの相互コンダクタンスg_mは一定のゲート電圧変化にわたって一定値に保持されるようになり、相互コンダクタンスg_mのゲート電圧変化に対する変化は平坦な特性を示すようになる。

【0014】なお、上記実施例の説明においては、チャンネル層13をOMVPE法によって形成し、チャンネル層13の不純物プロファイルに勾配をもたせたが、MBE(分子線エピタキシ)法によってもこのような不純物プロファイルをもつチャンネル層13を形成することが可能である。つまり、このMBE法を用いた場合には、チャンネル層の結晶成長に伴ってSiの分子線強度を強くしていくことにより、上記実施例と同様な不純物プロファイルが実現される。

【0015】また、上記実施例においては、チャンネル層13が図2に示される不純物プロファイルを持つFETについて説明したが、本発明はこれに限定されるものではない。例えば、このチャンネル層13の不純物プロファイルは、図3~図9の各グラフに示される各プロファイルであってもよい。これら各グラフのそれぞれは図2のグラフと同様に、横軸が基板表面からの深さ[A]、縦軸がn型不純物の濃度N₀[cm⁻³]を示している。これらグラフに示される各不純物プロファイルは、図示されるように、それぞれ基板表面から基板深部に向かって不純物濃度が低く形成されている。

【0016】また、各グラフにおいて、点線で示される水平線と一点鎖線で示される垂線とが交わる点は、各プロファイル線で描かれる図形の重心に相当している。これら各不純物プロファイルは、この重心を通るそれぞれの垂線から見て、不純物濃度の最大値が左側に位置して

5

いる。また、それぞれの垂線において、各プロファイル線は右下がりに傾斜している。また、不純物濃度の最大値の50%の不純物濃度ライン（図示せず）とプロファイル線とが交差して得られる2つの交点を結ぶ線分を二分する垂線（図示せず）において、それぞれの不純物プロファイル線は右下がりに傾斜している。

【0017】チャンネル層13が、図3～図9に示されるこのような不純物プロファイルで形成されている場合においても上記実施例と同様な効果が奏され、電子移動度および電子飽和速度は高まり、高周波特性は向上する。このチャンネル層13の不純物濃度の最大値は、これらグラフでは $4 \times 10^{18} \sim 6 \times 10^{18} [\text{cm}^{-3}]$ になっているが、必ずしもこれに限定されるものではなく、 $1 \times 10^{18} \sim 8 \times 10^{18} [\text{cm}^{-3}]$ の範囲にあればよい。

【0018】また、上記実施例によるFETでは、ゲート電極17がドレイン電極18から遠ざけられて形成され、ゲート・ドレイン間の耐圧特性が向上されている。しかし、本発明はこれに限定されるものではなく、ゲート電極がドレイン・ソース間の中央に形成された構造のFETや、ゲート電極がリセスに形成された構造のFET等に適用することもでき、この場合においても上記実施例と同様な効果が奏される。

【0019】また、上記実施例の説明においては半導体基板11をGaAsによって形成したが、これに限定されるものではなく、例えば、InPやInGaAs等の半導体基板でも良い。また、n型不純物としてSiを用いたが、SeやS等であっても良い。このような材料を用いてFETを形成しても、上記実施例と同様な効果が奏される。

【0020】

【発明の効果】以上説明したように本発明によれば、キャリアが走行しやすいチャンネル層の底部においては不純

6

物濃度が低いため、キャリアが受ける不純物散乱の影響は低減される。このため、チャンネル電子の移動度は高まり、また、電子飽和速度も高くなって素子の高周波特性は向上する。また、FETの相互コンダクタンス g_m は一定のゲート電圧変化にわたって一定値を保持するようになる。

【図面の簡単な説明】

【図1】本発明の一実施例によるFETの構造を示す断面図である。

10 【図2】本実施例によるFETのゲート電極下の不純物プロファイルを示すグラフである。

【図3】本実施例によるFETのゲート電極下の不純物プロファイルの第1の変形例を示すグラフである。

【図4】本実施例によるFETのゲート電極下の不純物プロファイルの第2の変形例を示すグラフである。

【図5】本実施例によるFETのゲート電極下の不純物プロファイルの第3の変形例を示すグラフである。

【図6】本実施例によるFETのゲート電極下の不純物プロファイルの第4の変形例を示すグラフである。

20 【図7】本実施例によるFETのゲート電極下の不純物プロファイルの第5の変形例を示すグラフである。

【図8】本実施例によるFETのゲート電極下の不純物プロファイルの第6の変形例を示すグラフである。

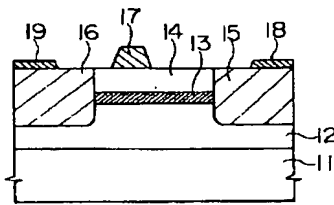
【図9】本実施例によるFETのゲート電極下の不純物プロファイルの第7の変形例を示すグラフである。

【図10】キャリアとなる電子がチャンネル空乏層から受ける影響を示すFET断面図である。

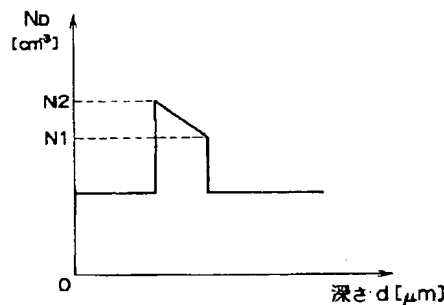
【符号の説明】

30 11…半絶縁性GaAs半導体基板、12…バッファ層、13…チャンネル層、14…キャップ層、15…ドレイン領域、16…ソース領域、17…ゲート電極、18…ドレイン電極、19…ソース電極。

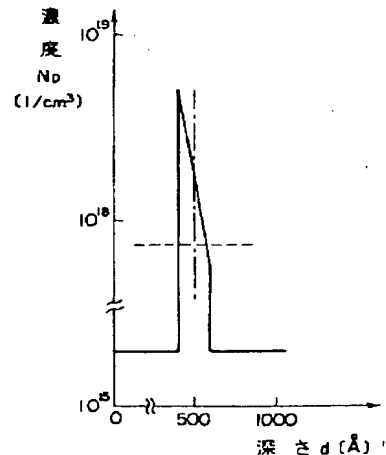
【図1】



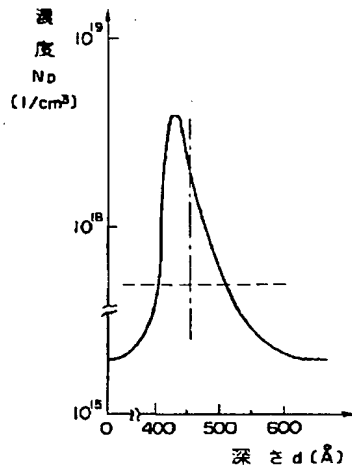
【図2】



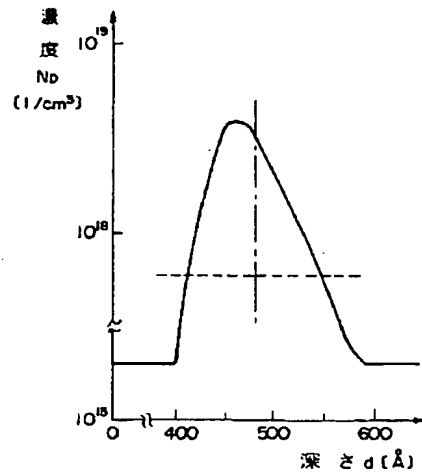
【図3】



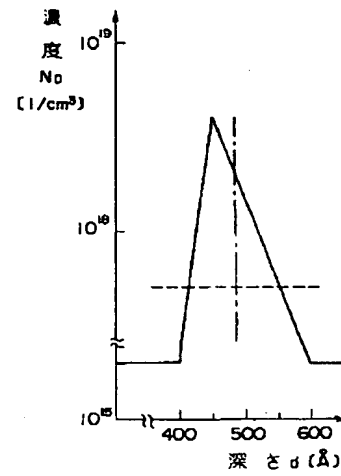
【図4】



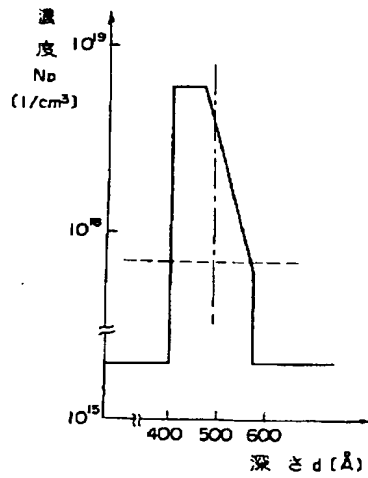
【図5】



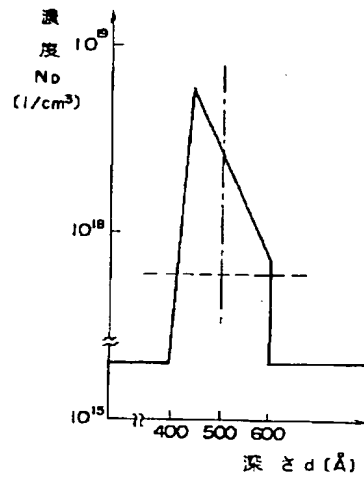
【図6】



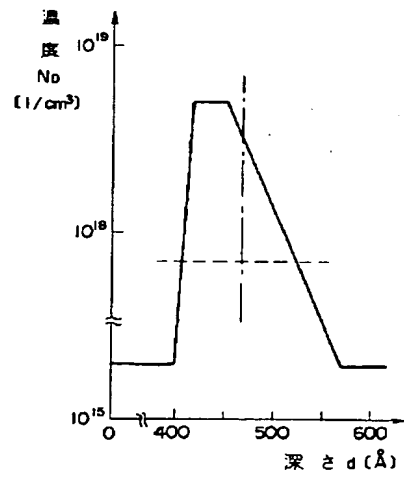
【図7】



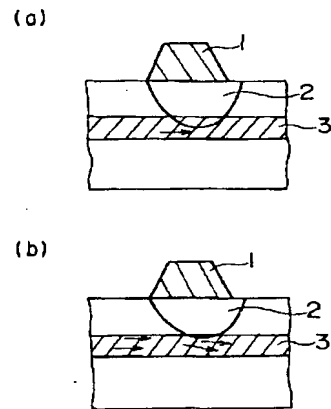
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 乙部 健二
神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社横浜製作所内

(72)発明者 志賀 信夫
神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社横浜製作所内